

09/744812
JC07 Rec'd PCT/PTO 30 JAN 2001
#4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Kuniyuki KAJITA et al.

Application No.: New PCT Application

Filed: January 30, 2001

For: INTERLEAVE APPARATUS AND INTERLEAVE METHOD

CLAIM FOR PRIORITY

Assistant Commissioner of Patents
Washington, D.C. 20231

Dear Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

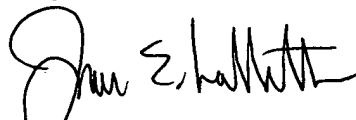
Japanese Appln. No. 11-164055, Filed: June 10, 1999.

The International Bureau received the priority document within the time limit, as evidenced by the attached copy of the PCT/IB/304.

THIS PAGE BLANK (USPTO)

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "James E. Ledbetter", written over the printed name.

James E. Ledbetter
Registration No. 28,732

Date: January 30, 2001

JEL/clw

Attorney Docket No. L9289.01107 PCT

STEVENS DAVIS, MILLER & MOSHER, L.L.P.
1615 L STREET, NW, Suite 850
P.O. Box 34387
WASHINGTON, DC 20043-4387
Telephone: (202) 408-5100
Facsimile: (202) 408-5200

THIS PAGE BLANK (USPTO)

PCT/JP 00/02604

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

21.04.00

EKU

09/744812

3P00/2604

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 6月10日

REC'D 09 JUN 2000

WIPO

PCT

出 願 番 号

Application Number:

平成11年特許願第164055号

出 願 人

Applicant(s):

松下電器産業株式会社

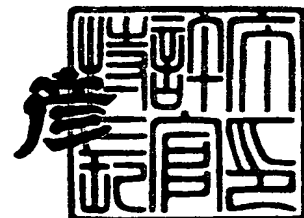
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 5月26日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3037994

【書類名】 特許願

【整理番号】 2906415033

【提出日】 平成11年 6月10日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/707

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内

【氏名】 梶田 邦之

【発明者】

【住所又は居所】 石川県金沢市彦三町二丁目1番45号 株式会社 松下通信金沢研究所内

【氏名】 戸田 隆

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105050

【弁理士】

【氏名又は名称】 鷺田 公一

【手数料の表示】

【予納台帳番号】 041243

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9700376

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 インタリーブ装置及びインタリーブ方法
【特許請求の範囲】

【請求項 1】 入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて、少なくとも 1 つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備することを特徴とするインタリーブ装置。

【請求項 2】 前記配列変更手段は、各入力データについての配列変更後の順位を算出する第 1 順位算出手段を具備し、算出された順位に従って前記入力データの配列を変更することを特徴とする請求項 1 記載のインタリーブ装置。

【請求項 3】 前記配列変更手段は、配列変更後の各入力データについて、この各入力データに配置すべき入力データの配列順位を算出する第 2 算出手段を具備し、算出された配列順位に従って前記入力データの配列を変更することを特徴とする請求項 1 記載のインタリーブ装置。

【請求項 4】 前記変換系列作成手段は、前記配列変換規則式に含まれる一方の要素が他方の要素に比べ少なくとも 1 階層以上低い場合には、前記他方の要素を用いて配列変換系列を作成することを特徴とする請求項 1 から請求項 3 のいずれかに記載のインタリーブ装置。

【請求項 5】 前記配列変更手段は、前記配列変換規則式により配列が変更された入力データの配列を変更することを特徴とする請求項 1 から請求項 4 のいずれかに記載のインタリーブ装置。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載のインタリーブ装置を備えたことを特徴とする通信端末装置。

【請求項 7】 請求項 1 から請求項 5 のいずれかに記載のインタリーブ装置を備えたことを特徴とする基地局装置。

【請求項 8】 請求項 6 記載の通信端末装置と請求項 7 記載の基地局装置との間で通信を行うことを特徴とする無線通信システム。

【請求項 9】 入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて少なくとも 1 つの配列変換系列を作成する変換系列作成

工程と、作成された配列変換系列を用いて入力データの配列を変更する配列変更工程と、を具備することを特徴とするインタリーブ方法。

【請求項 10】 入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて少なくとも 1 つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて、前記配列変換規則式により配置変更された入力データの配列を復元する配列復元工程と、を具備することを特徴とするインタリーブ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA (Code Division Multiple Access) 移動体通信における符復号化処理装置および符復号化処理方法に関する。

【0002】

【従来の技術】

従来の CDMA 方式の通信システムにおいては、伝送路上のバースト誤りによる通信品質劣化を避けるために、送信データの順序を入れ替えることによってランダム誤りにすることができるインタリーブが用いられていた。インタリーブ (IL) とは、送信側装置において、定められたパターンに従って順番を入れ替えた送信データを送信し、受信側装置において、受信したデータを元の順番に戻す技術である。これにより、伝送路上で発生したバースト誤りをランダム誤りに変換でき、より高い誤り訂正復号を行うことができる。

【0003】

送信側装置における IL の処理は、次に述べる手順に従ってなされる。ここでは、一例として L 個のデータに対して IL 処理を行う場合について説明する。すなわち、まず、L 個のデータを順に横方向に N 個書き込む処理を M 回繰り返すことにより、 $M \times N$ の行列を作成する。次に、このように作成された行列から、縦方向に順に M 個読み出す処理を N 回繰り返すことにより、データの順序が入れ替えられた L 個のデータが得られる。このような IL 処理は、一般に、 $L [M \times N]$

と表現される。

【0004】

2001年度からサービスが開始される次世代移動体通信方式の通信システム、すなわちW-CDMA方式の通信システムにおいては、インタリーブとしてマルチステージインタリーブ (Multistage Interleave; MIL) が用いられる。MILは、ILの代わりに、より高い誤り訂正復号を補助するために新たに提案された技術であり、通信を行うチャネルごとに規定されるMIL式に従って、IL処理を階層的に繰り返し行うものである。以下、従来のCDMA通信システムにおいて用いられるMIL処理について説明する。ここでは、次に示す式により表現されるMIL式を例にとり説明する。

【0005】

$$20[5[3 \times 2] \times 4[2 \times 2]] \quad - (1)$$

式(1)は、20個の入力データ $In[x]$ ($x=0 \sim 19$) (例えば、それぞれ $\{0, 1, 2, \dots, 18, 19\}$ のアドレスを有する20個のデータ) を 5×4 の行列に展開した後、各行について $4[2 \times 2]$ のIL処理を行い、さらに、各行について $5[3 \times 2]$ のIL処理を行うことを表している。このような処理を行うことにより、式(1)が展開されて、順序が入れ替えられた20個の出力データ $Out[y]$ ($y=0 \sim 19$) が得られる。すなわち、出力データには、入力データが、次式に示すようなアドレスに従って順次書き込まれる。

$$\{0, 8, 16, 4, 12, 2, 10, 18, 6, 14, 1, 9, 17, 5, 13, 3, 11, 19, 7, 15\} \quad - (2)$$

なお、式(2)における各数字は、アドレスを示す。

【0006】

ここで、 $5[3 \times 2]$ および $4[2 \times 2]$ のような形式で表現されるMIL式を階層1 (stage 1) のMIL式と呼び、 $20[5[3 \times 2] \times 4[2 \times 2]]$ のような形式で表現されるMIL式を階層2 (stage 2) のMIL式と呼ぶ。

【0007】

上記のようなMIL処理においては、各階層においてIL処理を繰り返し行う必要があるので、階層の深いMIL式を用いるほど処理時間が多大となる。そこ

で、従来のCDMA方式においては、処理時間低減を実現するために、図15に示すMIL装置を用いてMIL処理を行っている。

【0008】

図15は、従来のMIL装置の構成を示すブロック図である。図15に示すように、従来のMIL装置は、入力メモリ1501と、メモリ読み書き装置1502と、出力メモリ1503と、MILパターンを記憶するMILパターンメモリ1504と、から構成されている。

【0009】

図15に示すMIL装置においては、MILパターンメモリ1504がMIL式から生成される階層0のMILパターンを記憶し、メモリ読み書き装置1502が記憶されたMILパターンメモリを間接アドレッシングすることにより、送信データの順序の入れ替えを行うことができる。ここで、図15に示すMIL装置の動作について、式(1)に示したMIL式を用いる場合を例にとり以下の説明を行う。

【0010】

上述したように、式(1)に示したMIL式を展開すると、式(2)に示したMILパターンが得られる。このMILパターンは、図15におけるMILパターンメモリ1504に記憶される。また、20個の入力データ $In[x]$ ($x=0 \sim 19$) (それぞれ $\{0, 1, 2, \dots, 18, 19\}$ のアドレスを有する20個の入力データ)は、入力メモリ1501に記憶される。図15における入力メモリ1501、出力メモリ1503およびMILパターンメモリ1504に格納されるデータをそれぞれ $In[x]$ 、 $Out[y]$ および $Mil[z]$ ($x, y, z=0 \sim 19$)とすると、図16に示す動作フローに従ってMIL処理が実行される。

【0011】

図16は、従来のMIL装置の動作を示すフロー図である。図16に示すように、メモリ読み書き装置1502が、式(2)に示すアドレスに従って順次入力メモリ1501をアクセスして、アクセスしたデータを出力メモリ1503に書き込むことにより、入力メモリ1501に記憶された入力データの順序が入れ替えられた出力データが、出力メモリ1503に書き込まれる。このようなMIL

処理によれば、処理時間は、用いるM I L式の階層の深さによる影響を受けないため、短縮される。

【発明が解決しようとする課題】

しかしながら、上記従来のM I L装置においては、M I Lパターンメモリ 1 5 0 4 は、M I L処理を行う入力データと同等の大きさのデータを記憶するため、入力データ（ビット）数が増大するに従って、必要となるメモリ量が膨大なものになるという問題がある。

本発明は、かかる点に鑑みてなされたものであり、必要となるメモリ量を低減させるインタリーブ装置を提供することを目的とする。

【0 0 1 2】

【課題を解決するための手段】

本発明の骨子は、入力データごとに規定されているM I L式（配列変換規則式）に含まれるいずれかの要素を用いて少なくとも1つのM I Lパターン（配列変換系列）を作成し、作成したM I Lパターンを用いて入力データの配列を変更するようにしたことである。

【0 0 1 3】

【発明の実施の形態】

本発明の第1の態様は、入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する構成を採る。

【0 0 1 4】

この構成によれば、配列変換規則式（M I L式）におけるいずれかの要素、例えば、階層1の各要素から生成される行パターン式または列パターン式を用いて配列変換系列（M I Lパターン）を作成し、作成した配列変換系列を用いて入力データの配列を変更できるので、所要メモリを抑えたM I L処理を行うことが可能となる。

【0 0 1 5】

本発明の第2の態様は、第1の態様において、前記配列変更手段は、各入力デ

ータについての配列変更後の順位を算出する第1順位算出手段を具備し、算出された順位に従って前記入力データの配列を変更する構成を採る。

【0016】

この構成によれば、作成された配列変換系列を用いて、各入力データの配列変更後の順位を算出することにより、確実に入力データの配列を変更することができる。

【0017】

本発明の第3の態様は、第1の態様において、前記配列変更手段は、配列変更後の各入力データについて、この各入力データに配置すべき入力データの配列順位を算出する第2算出手段を具備し、算出された配列順位に従って前記入力データの配列を変更する構成を採る。

【0018】

この構成によれば、作成された配列変換系列を用いて、配列変更後の各入力データに配置すべき入力データの配列順位を算出することにより、確実に入力データの配列を変更することができる。

【0019】

本発明の第4の態様は、第1の態様から第3の態様のいずれかにおいて、前記変換系列作成手段は、前記配列変換規則式に含まれる一方の要素が他方の要素に比べ少なくとも1階層以上低い場合には、前記他方の要素を用いて配列変換系列を作成する構成を採る。

【0020】

この構成によれば、例えば、配列変換規則式に列パターン式のみが含まれている場合には、この列パターン式のみを用いて配列変換系列を作成することにより、所要メモリをさらに低減することができる。

【0021】

本発明の第5の態様は、第1の態様から第4の態様において、前記配列変更手段は、前記配列変換規則式により配列が変更された入力データの配列を変更する構成を採る。

【0022】

この構成によれば、同一の配列変換規則式を用いて作成された配列変換系列を用いることにより、この配列変換規則式により配列が変更された入力データの配列を元に戻すことができる。

【 0 0 2 3 】

本発明の第 6 の態様の通信端末装置は、第 1 の態様から第 5 の態様のいずれかのインタリーブ装置を備えた構成を採る。

【 0 0 2 4 】

この構成によれば、所要メモリを低減するインタリーブ装置を備えることにより、回路規模を抑えた通信端末装置を提供することができる。

【 0 0 2 5 】

本発明の第 7 の態様の基地局装置は、第 1 の態様から第 5 の態様のいずれかのインタリーブ装置を備えた構成を採る。

【 0 0 2 6 】

この構成によれば、所要メモリを低減するインタリーブ装置を備えることにより、回路規模を抑えた基地局装置を提供することができる。

【 0 0 2 7 】

本発明の第 8 の態様の無線通信システムは、第 6 の態様の通信端末装置と第 7 の態様の基地局装置との間で通信を行う構成を採る。

【 0 0 2 8 】

この構成によれば、回路規模を抑えた通信端末装置および基地局装置を用いることにより、効率的な無線通信を実現することができる。

【 0 0 2 9 】

本発明の第 9 の態様は、入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて少なくとも 1 つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて入力データの配列を変更する配列変更工程と、を具備する方法を採る。

【 0 0 3 0 】

この方法によれば、この構成によれば、配列変換規則式におけるいずれかの要素、例えば、階層 1 の各要素から生成される行パターン式または列パターン式を

用いて配列変換系列を作成し、作成した配列変換系列を用いて入力データの配列を変更できるので、所要メモリを抑えたMIL処理を行うことが可能となる。

【0031】

本発明の第10の態様は、入力データごとに規定されている配列変換規則式に含まれるいずれかの要素を用いて少なくとも1つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて、前記配列変換規則式により配置変更された入力データの配列を復元する配列復元工程と、を具備する方法を採る。

【0032】

この方法によれば、同一の配列変換規則式を用いて作成された配列変換系列を用いることにより、この配列変換規則式により配列が変更された入力データの配列を元に戻すことができる。

【0033】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0034】

(実施の形態1)

図1は、本発明の実施の形態1に係るMIL装置の構成を示すブロック図である。本実施の形態に係るMIL装置は、フレーム内においてデータの順序を入れ替えるMIL処理を実現する装置である。なお、本実施の形態においては、MIL式（配列変換規則式）として、式(1)に示した $20[5[3 \times 2] \times 4[2 \times 2]]$ を用いた場合を例にとり説明する。

【0035】

図1において、入力メモリ101は、20個の入力データ $I_n[x]$ ($x=0 \sim 19$)を記憶する。ここで、各入力データのアドレスは、それぞれ $\{0, 1, 2, \dots, 18, 19\}$ であるとする。

【0036】

行パターンメモリ102は、式(1)における階層1のMIL式 $(5[3 \times 2])$ から生成されたMILパターン（配列変換系列）、すなわち、次式に示す行パターン $Mil_row[r]$ を記憶する。

$$\text{Mil_row}[r] \ (r=0\sim4) = \{0, 2, 4, 1, 3\} \quad - (3)$$

【0037】

列パターンメモリ103は、式(1)における階層1のMIL式(4[2×2])から生成されたMILパターン(配列変換系列)、すなわち、次式に示す列パターンMil_col[c]を記憶する。

$$\text{Mil_col}[c] \ (c=0\sim3) = \{0, 2, 1, 3\} \quad - (4)$$

【0038】

出力メモリ104は、入力データの順序が入れ替えられた20個の出力データOut[y] (y=0~19)を記憶する。

【0039】

アドレス計算装置105は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101から読み出した入力データを、出力データとして出力メモリ104に書き込む。ここで、アドレス計算装置105による出力メモリ104に対する書き込み処理について、図2を参照して説明する。図2は、本発明の実施の形態1に係るMIL装置におけるアドレス計算装置105による出力メモリ104に対する書き込み処理を示すフロー図である。

【0040】

工程(以下「ST」という。)201において、まずc=0として後述するST205までの処理が繰り返され、c>C-1が満たされた場合には、処理は終了する。なお、Cは、列数(ここでは4)である。

【0041】

ST202において、まずr=0として後述するST204までの処理が繰り返され、r>R-1が満たされた場合にのみ、処理はST205に移行する。なお、Rは、行数(ここでは5)である。

【0042】

ST203において、まず、出力データ[r+R×c]に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$\text{Mil_col}[c] + \text{Mil_row}[r] \times C \quad - (5)$$

さらに、入力メモリ 101 において式 (5) により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[r + R \times c]$ として出力メモリ 104 に書き込まれる。

【0043】

ST204 において、 r の値に 1 が加えられた後、処理は ST202 に移行する。ST205 において、 c の値に 1 が加えられた後、処理は ST201 に移行する。

【0044】

以上のようなアドレス計算装置 105 による書き込み処理により、出力メモリ 104 における出力データ $[y]$ ($0 \sim 19$) には、入力メモリ 101 に記憶された入力データが、式 (2) に示したアドレスに従って順次書き込まれることになる。すなわち、例えば、出力データ $[0]$ 、出力データ $[1]$ および出力データ $[2]$ には、それぞれ入力データ $[0]$ 、入力データ $[8]$ および入力データ $[16]$ がそれぞれ書き込まれる。

【0045】

以上のように、式 (1) に示した MIL 式を用いた場合には、行パターンメモリ用として 5 word、列パターンメモリ用として 4 word、合計 9 word のメモリのみ（ただし、入出力メモリを除く）で、MIL 処理を実現することができる。出力メモリ 104 に書き込まれた出力データ、すなわち、MIL 処理により順序が入れ替えられた入力データは、この後、CDMA 方式の所定の処理がなされて送信される。

【0046】

このように、本実施の形態によれば、用いる MIL 式に含まれる階層 1 の MIL 式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、MIL 処理を低メモリ量で実現することができる。

【0047】

また、本実施の形態においては、各出力データについて、書き込むべき入力デ

ータのアドレスを計算した直後、計算したアドレスに記憶された入力データを逐一出力データに書き込むようにした場合について説明したが、本発明は、これに限定されず、書き込むべき入力データのアドレスをすべての出力データについて計算した後、計算したアドレスに記憶された入力データを読み出して出力データに書き込むようにしてもよい。

【 0 0 4 8 】

ここで、本実施の形態に係るM I L装置の所要メモリ低減結果について、図3を参照して説明する。図3は、本発明の実施の形態1に係るM I L装置の所要メモリ量を従来方式と比較して示す図である。図3においては、次に示す2つのM I L式を用いた場合の所要メモリ量が示されている。

① $320 [16 [4 [2 \times 2] \times 4 [2 \times 2]] \times 20 [4 [2 \times 2] \times 5 [3 \times 2]]]$

② $81376 [5086 [80 [10 [5 [3 \times 2] \times 2] \times 8 [4 [2 \times 2] \times 2]]]$

$\times 64 [8 [4 [2 \times 2] \times 2] \times 8 [4 [2 \times 2] \times 2]]] \times 16 [4 [2 \times 2] \times 4 [2 \times 2]]]$

図3から明らかなように、本実施の形態によれば、従来方式に比べて、所要メモリ量の大幅な削減が可能となる。さらに、M I L処理を行うデータ数が増加するにつれて、その効果が大きくなる。

【 0 0 4 9 】

なお、本実施の形態においては、M I L式として(1)式に示したものを用いた場合について説明したが、本発明は、さらに階層の深いM I L式を用いた場合にも適用可能なものである。例えば、図3に示した①式をM I L式として用いる場合には、行パターンメモリ102には、①式における階層2のM I L式($16 [4 [2 \times 2] \times 4 [2 \times 2]]$)から生成される行パターンを記憶させ、列パターンメモリ103には、①式における階層2のM I L式($20 [4 [2 \times 2] \times 5 [3 \times 2]]$)から生成される列パターンを記憶させ、さらに、上記各パターンを用いて上述したようにアドレス計算装置105により計算させればよい。

【 0 0 5 0 】

(実施の形態2)

実施の形態2は、実施の形態1において、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算され

たアドレス先に書き込むことにより、MIL処理を実現するようにした形態である。

【0051】

本実施の形態において、実施の形態1と相違する点は、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、行パターンメモリ102に記憶される行パターンおよび列パターンメモリ103に記憶される列パターンが、実施の形態1と相違する。なお、本実施の形態の各構成要素における実施の形態1と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の形態1と同様に、式(1)に示したMIL式を用いるものとする。

【0052】

まず、行パターンメモリ102は、MIL式(5[2×3])から生成された、次式に示す行パターンMil_row[r]を記憶する。

$$\text{Mil_row}[r] \ (r=0\sim4) = \{0, 3, 1, 4, 2\} \quad - (6)$$

【0053】

また、列パターンメモリ103は、MIL式(4[2×2])から生成された、次式に示す列パターンMil_col[c]を記憶する。

$$\text{Mil_col}[c] \ (c=0\sim3) = \{0, 2, 1, 3\} \quad - (7)$$

【0054】

さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図4を参照して説明する。図4は、本発明の実施の形態2に係るMIL装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

【0055】

ST401において、まず $r=0$ として後述するST405までの処理が繰り返され、 $r>R-1$ が満たされた場合には、処理は終了する。なお、 R は行数(ここでは5)である。

【0056】

ST402において、まず $c = 0$ として後述するST404までの処理が繰り返され、 $c > C - 1$ が満たされた場合にのみ、処理はST405に移行する。なお、 C は、列数（ここでは4）である。

【0057】

ST403において、まず、入力データ $[c + C \times r]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$Mil_row[r] + Mil_col[c] \times R \quad - (8)$$

さらに、入力データ $[c + C \times r]$ は、出力メモリ104における式（8）により計算されたアドレス先書き込まれる。

【0058】

ST404において、 c の値に1が加えられた後、処理はST402に移行する。ST405において、 r の値に1が加えられた後、処理はST401に移行する。

【0059】

以上のようなアドレス計算装置による書き込み処理により、入力メモリ101における入力データは、出力メモリ104における式（8）により計算されたアドレス先に順次書き込まれる。

【0060】

以上のように、式（1）に示したMIL式を用いた場合には、行パターンメモリ用として5 word、列パターンメモリ用として4 word、合計9 wordのメモリのみ（ただし、入出力メモリを除く）で、MIL処理を実現することができる。

【0061】

このように、本実施の形態によれば、用いるMIL式に含まれる階層1のMIL式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、MIL処理を低メモリ量で実現することができる。

【0062】

(実施の形態3)

実施の形態3は、実施の形態1において、フレーム間でデータの順序を入れ替える場合、すなわち列パターンが単なるインクリメンタル値である場合に、列パターンのみを用いて計算したアドレスを用いて出力メモリにデータを書き込むことにより、MIL処理を実現するようにした形態である。

【0063】

CDMA通信においては、フレーム内でのデータの入れ替えだけでなく、さらにフレーム間でデータの入れ替えが行われることがある。これをフレーム間インタリーブ（フレーム間MIL）と呼ぶ。フレーム間インタリーブにおいて用いられるMIL式は、通常、 $L [M_1 \times N_1 [M_2 \times N_2]]$ という形で表現され、また、このMIL式には、列パターン式 ($N_1 [M_2 \times N_2]$) のみが存在する。以下、本実施の形態に係るMIL装置について説明する。

【0064】

本実施の形態において、実施の形態1と相違する点は、まず、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、実施の形態1における行パターンメモリ102が除かれている。以下、本実施の形態において、実施の形態1と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態1と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、次に示すMIL式を用いるものとする。

$$80 [20 \times 4 [2 \times 2]] \quad - (9)$$

【0065】

まず、列パターンメモリ103は、式(9)における階層1のMIL式 ($4 [2 \times 2]$) から生成された、次式に示す列パターン $Mil_col[c]$ を記憶する。

$$Mil_col[c] (c = 0 \sim 3) = \{0, 2, 1, 3\} \quad - (10)$$

【0066】

さらに、アドレス計算装置は、出力データに書き込むべき入力データのアドレ

スを計算し、さらに、計算した入力アドレスに基づいて入力メモリ 101 から読み出した入力データを、出力データとして出力メモリ 104 に書き込む。ここで、アドレス計算装置による出力メモリ 104 に対する書き込み処理について、図 5 を参照して説明する。図 5 は、本発明の実施の形態 3 に係る M I L 装置におけるアドレス計算装置による出力メモリ 104 に対する書き込み処理を示すフロー図である。

【0067】

ST501 において、まず $c=0$ として後述する ST505 までの処理が繰り返され、 $c > C-1$ が満たされた場合には、処理は終了する。なお、 C は、列数（ここでは 4）である。

【0068】

ST502 において、まず $r=0$ として後述する ST504 までの処理が繰り返され、 $r > R-1$ が満たされた場合にのみ、処理は ST505 に移行する。なお、 R は、行数（ここでは 20）である。

【0069】

ST503 において、まず、出力データ $[r+R \times c]$ に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$r \times C + M i l_c o l [c] \quad - (11)$$

さらに、入力メモリ 101 において式 (11) により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[r+R \times c]$ として出力メモリ 104 に書き込まれる。

【0070】

ST504 において、 r の値に 1 が加えられた後、処理は ST502 に移行する。ST505 において、 c の値に 1 が加えられた後、処理は ST501 に移行する。

【0071】

なお、フレーム間インタリーブは、上述した実施の形態 1 または実施の形態 2 により実現することができる。ところが、式 (9) に示した M I L 式にインクリメント値が含まれているため、実施の形態 1 または実施の形態 2 を用いる場合に

は、行パターンメモリ 1 0 2 に単なるインクリメントデータを記憶させておく必要がある。したがって、フレーム間インタリーブを行う場合には、本実施の形態のように行パターンメモリを省いた構成の M I L 装置を用いる方が効率的である。

【 0 0 7 2 】

ここで、式 (9) に示した M I L 式を用いたフレーム間インタリーブを実現するための所要メモリ量について、従来方式と実施の形態 1 ～実施の形態 3 とを比較と、

①従来方式 8 0 w o r d

②実施の形態 1 および実施の形態 2 2 4 w o r d

③実施の形態 3 4 w o r d

となる。実施の形態 3 に係る M I L 装置においては、所要メモリ量は、従来方式に比べて $1 / 2 0$ となり、また、実施の形態 1 および実施の形態 2 に比べて $1 / 6$ となる。よって、フレーム間インタリーブにおいては、本実施の形態に係る M I L 装置は非常に有効なものとなる。

【 0 0 7 3 】

このように、本実施の形態によれば、フレーム間インタリーブを行う場合において、用いる M I L 式に含まれる階層 1 の M I L 式を展開した列パターンのみを記憶し、さらに記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、M I L 処理を低メモリ量で実現することができる。

【 0 0 7 4 】

(実施の形態 4)

実施の形態 4 は、実施の形態 2 において、フレーム間でデータの順序を入れ替える場合、すなわち列パターンが単なるインクリメンタル値である場合に、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、M I L 処理を実現するようにした形態である。

【0075】

本実施の形態において、実施の形態2と相違する点は、まず、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、実施の形態2における行パターンメモリ102が除かれている。以下、本実施の形態において、実施の形態1と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態1と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の形態3と同様に式(9)に示したMIL式を用いるものとする。

【0076】

まず、列パターンメモリ103は、実施の形態3と同様に、式(10)に示した列パターンMil_col[c]を記憶する。さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図6を参照して説明する。図6は、本発明の実施の形態4に係るMIL装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

【0077】

ST601において、まず $r = 0$ として後述するST605までの処理が繰り返され、 $r > R - 1$ が満たされた場合には、処理は終了する。なお、Rは、行数(ここでは20)である。

【0078】

ST602において、まず $c = 0$ として後述するST604までの処理が繰り返され、 $c > C - 1$ が満たされた場合にのみ、処理はST605に移行する。なお、Cは、列数(ここでは4)である。

【0079】

ST603において、まず、入力データ $[c + C \times r]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$r + R \times \text{Mil_col}[c] \quad - (12)$$

さらに、入力データ $[c + C \times r]$ は、出力メモリ 104 における式 (12) により計算されたアドレス先には書き込まれる。

【0080】

ST604 において、 c の値に 1 が加えられた後、処理は ST602 に移行する。ST605 において、 r の値に 1 が加えられた後、処理は ST601 に移行する。

【0081】

このように、本実施の形態によれば、フレーム間インタリーブを行う場合において、用いる MIL 式に含まれる階層 1 の MIL 式を展開した列パターンのみを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、MIL 処理を低メモリ量で実現することができる。

【0082】

(実施の形態 5)

実施の形態 5 は、MIL 処理により順序が入れ替えられたデータの順序を元に戻す De-MIL (De-Multistage InterLeave) 装置を実現する形態である。本実施の形態に係る De-MIL 装置は、実施の形態 1 (図 1) と同様の構成により実現することが可能なものである。以下、本実施の形態に係る De-MIL 装置について、実施の形態 1 と相違する点のみ、図 1 を参照して説明する。なお、本実施の形態においては、式 (1) に示す MIL 式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

【0083】

図 1 において、入力メモリ 101 は、順序が入れ替えられた 20 個の入力データ $In[x]$ ($x = 0 \sim 19$) を記憶する。行パターンメモリ 102 は、式 (6) に示した行パターンを記憶する。列パターンメモリ 103 は、式 (7) に示した列パターンを記憶する。出力メモリ 104 は、入力データの順序が元に戻された 20 個の出力データ $Out[y]$ ($y = 0 \sim 19$) を記憶する。

【0084】

アドレス計算装置 105 は、出力データに書き込むべき入力データのアドレス

を計算し、さらに、計算した入力アドレスに基づいて入力メモリ 101 から読み出した入力データを、出力データとして出力メモリ 104 に書き込む。ここで、アドレス計算装置 105 による出力メモリ 104 に対する書き込み処理について、図 7 を参照して説明する。図 7 は、本発明の実施の形態 5 に係る De-MIL 装置におけるアドレス計算装置 105 による出力メモリ 104 に対する書き込み処理を示すフロー図である。

【0085】

ST701 において、まず $r = 0$ として後述する ST705 までの処理が繰り返され、 $r > R - 1$ が満たされた場合には、処理は終了する。なお、 R は行数（ここでは 5）である。

【0086】

ST702 において、まず $c = 0$ として後述する ST704 までの処理が繰り返され、 $c > C - 1$ が満たされた場合にのみ、処理は ST705 に移行する。なお、 C は、列数（ここでは 4）である。

【0087】

ST703 において、まず、出力データ $[C \times r + c]$ に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$Mil_row[r] + R \times Mil_col[c] \quad - (13)$$

さらに、入力メモリ 101 において式 (13) により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[C \times r + c]$ として出力メモリ 104 に書き込まれる。

【0088】

ST704 において、 c の値に 1 が加えられた後、処理は ST702 に移行する。ST705 において、 r の値に 1 が加えられた後、処理は ST701 に移行する。

【0089】

このように、本実施の形態によれば、用いる MIL 式に含まれる階層 1 の MIL 式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレ

スに記憶された入力データを出力データに順次書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

【0090】

(実施の形態6)

実施の形態6は、実施の形態5において、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、De-MIL処理を実現するようにした形態である。

【0091】

本実施の形態において、実施の形態5と相違する点は、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、行パターンメモリ102に記憶される行パターンおよび列パターンメモリ103に記憶される列パターンが、実施の形態5と相違する。なお、本実施の形態の各構成要素における実施の形態5と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の形態5と同様に、式(1)に示すMIL式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

【0092】

まず、行パターンメモリ102は、式(3)に示した行パターン $Mil_row[r]$ を記憶し、列パターンメモリ103は、式(4)に示した列パターン $Mil_col[c]$ を記憶する。

【0093】

さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図8を参照して説明する。図8は、本発明の実施の形態6に係るDe-MIL装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

【0094】

ST801において、まず $c=0$ として後述するST805までの処理が繰り返され、 $c > C-1$ が満たされた場合には、処理は終了する。なお、 C は列数（ここでは4）である。

【0095】

ST802において、まず $r=0$ として後述するST804までの処理が繰り返され、 $r > R-1$ が満たされた場合にのみ、処理はST805に移行する。なお、 R は、行数（ここでは5）である。

【0096】

ST803において、まず、入力データ $[r + c \times R]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$C \times \text{Mil_row}[r] + \text{Mil_col}[c] \quad - (14)$$

さらに、入力データ $[r + c \times R]$ は、出力メモリ104における式(14)により計算されたアドレス先に書き込まれる。

【0097】

ST804において、 r の値に1が加えられた後、処理はST802に移行する。ST805において、 c の値に1が加えられた後、処理はST801に移行する。

【0098】

このように、本実施の形態によれば、用いるMIL式に含まれる階層1のMIL式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

【0099】

（実施の形態7）

実施の形態7は、実施の形態5において、フレーム間でデータの順序を元に戻す場合、すなわち列パターンが単なるインクリメンタル値である場合に、列パターンのみを用いて計算したアドレスを用いて出力メモリにデータを書き込むことにより、De-MIL処理を実現するようにした形態である。

【0100】

本実施の形態において、実施の形態5と相違する点は、まず、アドレス計算装置による出力メモリに対する書き込み処理である。さらに、本実施の形態においては、実施の形態5における行パターンメモリ102が除かれている。以下、本実施の形態において、実施の形態5と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態5と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、式(9)に示すMIL式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

【0101】

まず、列パターンメモリ103は、式(9)における階層1のMIL式(4[2×2])から生成された式(10)に示す列パターンMil_col[c]を記憶する。

【0102】

さらに、アドレス計算装置は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101から読み出した入力データを、出力データとして出力メモリ104に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図9を参照して説明する。図9は、本発明の実施の形態7に係るDe-MIL装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

【0103】

ST901において、まず $r=0$ として後述するST905までの処理が繰り返され、 $r>R-1$ が満たされた場合には、処理は終了する。なお、 R は、行数(ここでは20)である。

【0104】

ST902において、まず $c=0$ として後述するST904までの処理が繰り返され、 $c>C-1$ が満たされた場合にのみ、処理はST905に移行する。なお、 C は、列数(ここでは4)である。

【0105】

ST903において、まず、出力データ $[C \times r + c]$ に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$R \times \text{Mil_col}[c] + r \quad - (15)$$

さらに、入力メモリ101において式(15)により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[C \times r + c]$ として出力メモリ104に書き込まれる。

【0106】

ST904において、 c の値に1が加えられた後、処理はST902に移行する。ST905において、 r の値に1が加えられた後、処理はST901に移行する。

【0107】

このように、本実施の形態によれば、フレーム間でデータの順序を元に戻す場合において、用いるMIL式に含まれる階層1のMIL式を展開した列パターンのみを記憶し、さらに記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

【0108】

(実施の形態8)

実施の形態8は、実施の形態6において、フレーム間でデータの順序を元に戻す場合、すなわち列パターンが単なるインクリメンタル値である場合に、列パターンのみを用いて、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、De-MIL処理を実現するようにした形態である。

【0109】

本実施の形態において、実施の形態6と相違する点は、まず、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、実施の形態6における行パターンメモリ102が除かれている。以

下、本実施の形態において、実施の形態 6 と相違する点のみについて説明する。
 なお、本実施の形態の各構成要素における実施の形態 1 と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の形態 7 と同様に、式 (9) に示す M I L 式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

【0110】

まず、列パターンメモリ 103 は、実施の形態 7 と同様に、式 (10) に示した列パターン $M i l_c o l [c]$ を記憶する。さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ 104 における計算されたアドレス先には書き込む。ここで、アドレス計算装置による出力メモリ 104 に対する書き込み処理について、図 10 を参照して説明する。図 10 は、本発明の実施の形態 8 に係る D e - M I L 装置におけるアドレス計算装置による出力メモリ 104 に対する書き込み処理を示すフロー図である。

【0111】

S T 1 0 0 1 において、まず $c = 0$ として後述する S T 1 0 0 5 までの処理が繰り返され、 $c > C - 1$ が満たされた場合には、処理は終了する。なお、C は、列数（ここでは 4）である。

【0112】

S T 1 0 0 2 において、まず $r = 0$ として後述する S T 1 0 0 4 までの処理が繰り返され、 $r > R - 1$ が満たされた場合にのみ、処理は S T 1 0 0 5 に移行する。なお、R は、行数（ここでは 20）である。

【0113】

S T 1 0 0 3 において、まず、入力データ $[r + c \times R]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$r + R \times M i l_c o l [c] \quad - (16)$$

さらに、入力データ $[r + c \times R]$ は、出力メモリ 104 における式 (16) により計算されたアドレス先には書き込まれる。

【0114】

ST1004において、rの値に1が加えられた後、処理はST1002に移行する。ST1005において、cの値に1が加えられた後、処理はST1001に移行する。

【0115】

このように、本実施の形態によれば、フレーム間でデータの順序を元に戻す場合において、用いるMIL式に含まれる階層1のMIL式を展開した列パターンのみを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

【0116】

(実施の形態9)

実施の形態9は、実施の形態1～実施の形態4のいずれかのMIL装置、あるいは、実施の形態1～実施の形態4を組み合わせたMIL装置と、送信データを符号化する装置と、送信データの長さを調節する装置と、を搭載した符号化装置を実現する形態である。

【0117】

本実施の形態に係る符号化装置について、図11を参照して説明する。図11は、本発明の実施の形態9に係る符号化装置の構成を示すブロック図である。図11に示すように、本実施の形態に係る符号化装置は、主に、マイク等のデータ生成装置1101と、CRC符号化および誤り訂正符号化を行う符号化装置1102と、フレーム間でMILを行うフレーム間MIL装置1103と、送信データのRepetition/Puncturingを行うレートマッチング装置1104aおよびレートマッチング装置1104bと、フレーム内でMILを行うフレーム内MIL装置1105aおよびフレーム内MIL装置1105bと、から構成される。

【0118】

データ生成装置1101は、数フレーム分のデータ（ここでは2フレーム）を発生させる。符号化装置1102は、発生された2フレームのデータに対して、

CRC符号化および誤り訂正符号化を行う。

【0119】

フレーム間MIL装置1103は、符号化された2フレーム分のデータに対して、フレーム間MIL処理を行う。なお、フレーム間MIL装置としては、例えば、上述した実施の形態3または実施の形態4におけるMIL装置を用いることができる。

【0120】

レートマッチング装置1104aおよびレートマッチング装置1104bは、それぞれ、フレーム間MIL処理がなされた各フレームのデータに対して、Repetition/Puncturing処理を行う。

【0121】

フレーム内MIL装置1105aおよびフレーム内MIL装置1105bは、それぞれ、Repetition/Puncturing処理がなされた各フレームのデータに対して、フレーム内MILを行う。フレーム内MIL装置としては、例えば、上述した実施の形態1または実施の形態2におけるMIL装置を用いることができる。

【0122】

このように、本実施の形態によれば、フレーム間MIL装置およびフレーム内MIL装置に要するメモリ量を大幅に削減することができるので、符号化装置の回路規模を著しく低減できる。

【0123】

(実施の形態10)

実施の形態10は、実施の形態5～実施の形態8のいずれかのDe-MIL装置、あるいは、実施の形態5～実施の形態8を組み合わせたDe-MIL装置と、受信データを復号化する装置と、受信データの長さを調節する装置と、を搭載した復号化装置を実現する形態である。

【0124】

本実施の形態に係る復号化装置について、図12を参照して説明する。図12は、本発明の実施の形態10に係る復号化装置の構成を示すブロック図である。

図12に示すように、本実施の形態に係る復号化装置は、主に、フレーム内でDe-MILを行うフレーム内De-MIL装置1201aおよびフレーム内De-MIL装置1201bと、受信データのRepetition/Puncturingを行うレートマッチング装置1202aおよびレートマッチング装置1202bと、フレーム間でDe-MILを行うフレーム間De-MIL装置1203と、CRC復号化および誤り訂正復号化を行う復号化装置1204と、データ出力装置1205と、から構成される。

【0125】

フレーム内De-MIL装置1201aおよびフレーム内De-MIL装置1201bは、数フレーム（ここでは2フレーム）分のそれぞれの受信データに対してフレーム内De-MIL処理を行う。なお、フレーム内De-MIL装置としては、例えば、上述した実施の形態5または実施の形態6におけるDe-MIL装置を用いることができる。

【0126】

レートマッチング装置1202aおよびレートマッチング装置1202bは、それぞれ、フレームごとにDe-MIL処理後の受信データに対して、レートマッチング処理を行う。

【0127】

フレーム間De-MIL装置1203は、レートマッチング処理後の2フレーム分の受信データに対して、フレーム間De-MIL処理を行う。なお、フレーム間De-MIL装置としては、上述した実施の形態7または実施の形態8におけるDe-MIL装置を用いることができる。

【0128】

復号化装置1204は、フレーム間De-MIL処理後の受信データに対して、誤り訂正復号化およびCRC復号化を行う。データ出力装置1205は、誤り訂正復号化およびCRC復号化後の受信データに対する出力処理を行う。

【0129】

このように、本実施の形態によれば、フレーム間De-MIL装置およびフレーム内De-MIL装置に要するメモリ量を大幅に削減することができるので、

復号化装置の回路規模を著しく低減できる。

【0130】

(実施の形態11)

実施の形態11は、実施の形態9の符号化装置と実施の形態10の復号化装置を用いて、移動局装置を実現する形態である。本実施の形態に係る移動局装置について、図13を参照して説明する。図13は、本発明の実施の形態11に係る移動局装置の構成を示すブロック図である。

【0131】

図13に示すように、本実施の形態に係る移動局装置は、主に、データの送受信処理を行う送受信装置1301と、受信データの同期および復調処理を行う同期・復調装置1302と、上述した実施の形態10における復号化処理装置1303と、データを出力するデータ出力装置1304と、データを発生する、あるいは音声等のデータを外部から取り込むデータ発生装置1305と、上述した実施の形態9における符号化処理装置1306と、送信データの拡散・変調処理を行う拡散変調装置1307と、から構成される。

【0132】

本実施の形態によれば、フレーム間MILおよびフレーム間De-MILならびにフレーム内MILおよびフレーム内De-MILに要するメモリ量を大幅に削減することができるので、移動局装置の回路規模を大幅に低減できる。

【0133】

また、符号化処理装置1306におけるフレーム内MIL装置として、実施の形態1(2)におけるフレーム内MIL装置を用い、また、復号化処理装置1303におけるフレーム内De-MIL装置として、実施の形態6(5)におけるフレーム内De-MIL装置を用いた場合には、フレーム内MIL装置およびフレーム内De-MIL装置において、共通の行パターンおよび列パターンを使用できるので、さらなる回路規模の低減が可能となる。

【0134】

(実施の形態12)

実施の形態12は、実施の形態9の符号化装置と実施の形態10の復号化装置

を用いて、基地局装置を実現する形態である。本実施の形態に係る基地局装置について、図14を参照して説明する。図14は、本発明の実施の形態12に係る基地局装置の構成を示すブロック図である。

【0135】

図14に示すように、本実施の形態に係る基地局装置は、主に、データの送受信処理を行う送受信装置1401と、受信データの復調処理を行う復調装置1402と、上述した実施の形態10における復号化処理装置1403と、データを入力するデータ入力装置1404と、データを発生するデータ発生装置1405と、上述した実施の形態9における符号化処理装置1406と、送信データの拡散・変調処理を行う拡散変調装置1407と、から構成される。

【0136】

このように、本実施の形態によれば、フレーム間MILおよびフレーム間De-MILならびにフレーム内MILおよびフレーム内De-MILに要するメモリ量を大幅に削減することができるので、移動局装置の回路規模を大幅に低減できる。

【0137】

また、符号化処理装置1406におけるフレーム内MIL装置として、実施の形態1(2)におけるフレーム内MIL装置を用い、また、復号化処理装置1403におけるフレーム内De-MIL装置として、実施の形態6(5)におけるフレーム内De-MIL装置を用いた場合には、フレーム内MIL装置およびフレーム内De-MIL装置において、共通の行パターンおよび列パターンを使用できるので、さらなる回路規模の低減が可能となる。

【0138】

なお、上記実施の形態においては、MIL式の階層1の要素を用いた場合について説明してきたが、本発明は、任意の階層の要素を用いた場合においても適用可能なものである。

【0139】

また、上記実施の形態においては、フレーム間でデータの順序を入れ替える場合に、MIL式に含まれる階層1のMIL式を展開した列パターンを用いる場合

について説明したが、本発明は、M I L式に含まれる階層 1 のM I L式を展開した行パターンを用いた場合にも適用可能なものである。

【0140】

さらに、上記実施の形態においては、フレーム間でデータの順序を入れ替える場合に、M I L式に含まれる階層 1 のM I L式を展開したM I Lパターンを用いた場合について説明したが、本発明は、M I L式に含まれる一方のM I L式が他方のM I L式に比べて少なくとも 1 階層以上低いときに、この他方のM I L式を展開したM I Lパターンを用いた場合にも適用可能なものである。

【0141】

【発明の効果】

以上説明したように、本発明によれば、入力データごとに規定されているM I L式（配列変換規則式）に含まれるいずれかの要素を用いて少なくとも 1 つのM I Lパターン（配列変換系列）を作成し、作成したM I Lパターンを用いて入力データの配列を変更するので、必要となるメモリ量を低減させるインタリーブ装置を提供することことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係るM I L装置の構成を示すブロック図

【図 2】

上記実施の形態 1 に係るM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 3】

上記実施の形態 1 に係るM I L装置の所要メモリ量を従来方式と比較して示す図

【図 4】

本発明の実施の形態 2 に係るM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 5】

本発明の実施の形態 3 に係るM I L装置におけるアドレス計算装置による出力

メモリに対する書き込み処理を示すフロー図

【図 6】

本発明の実施の形態 4 に係る M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 7】

本発明の実施の形態 5 に係る D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 8】

本発明の実施の形態 6 に係る D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 9】

本発明の実施の形態 7 に係る D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 1 0】

本発明の実施の形態 8 に係る D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図

【図 1 1】

本発明の実施の形態 9 に係る符号化装置の構成を示すブロック図

【図 1 2】

本発明の実施の形態 1 0 に係る復号化装置の構成を示すブロック図

【図 1 3】

本発明の実施の形態 1 1 に係る移動局装置の構成を示すブロック図

【図 1 4】

本発明の実施の形態 1 2 に係る基地局装置の構成を示すブロック図

【図 1 5】

従来の M I L 装置の構成を示すブロック図

【図 1 6】

従来の M I L 装置の動作を示すフロー図

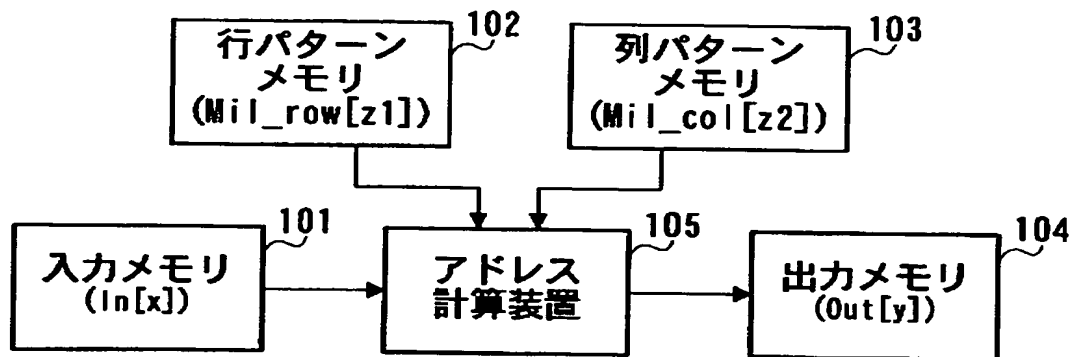
【符号の説明】

- 101 入力メモリ
- 102 行パターンメモリ
- 103 列パターンメモリ
- 104 出力メモリ
- 105 アドレス計算装置

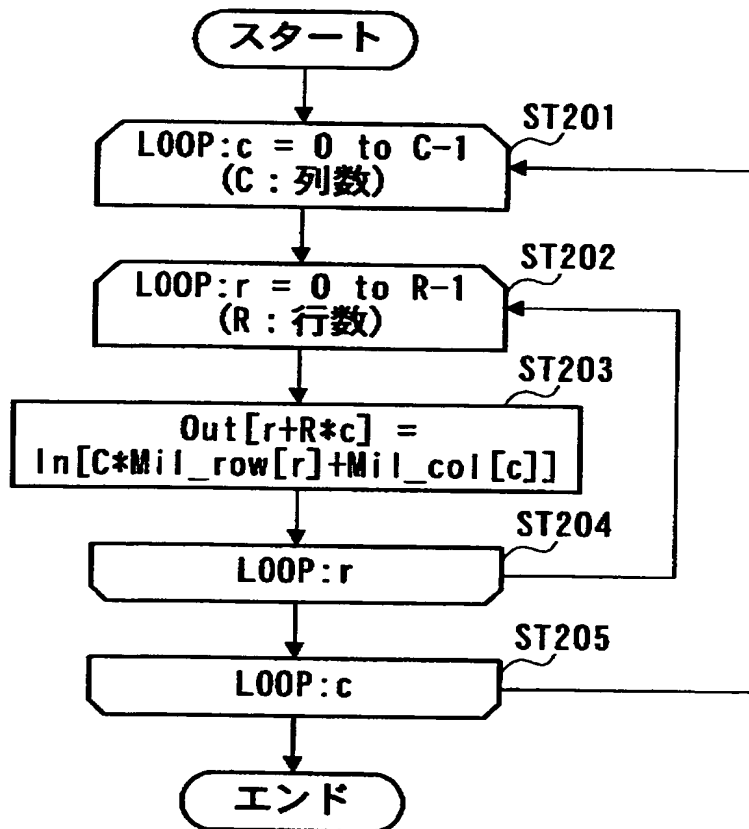
【書類名】

図面

【図 1】



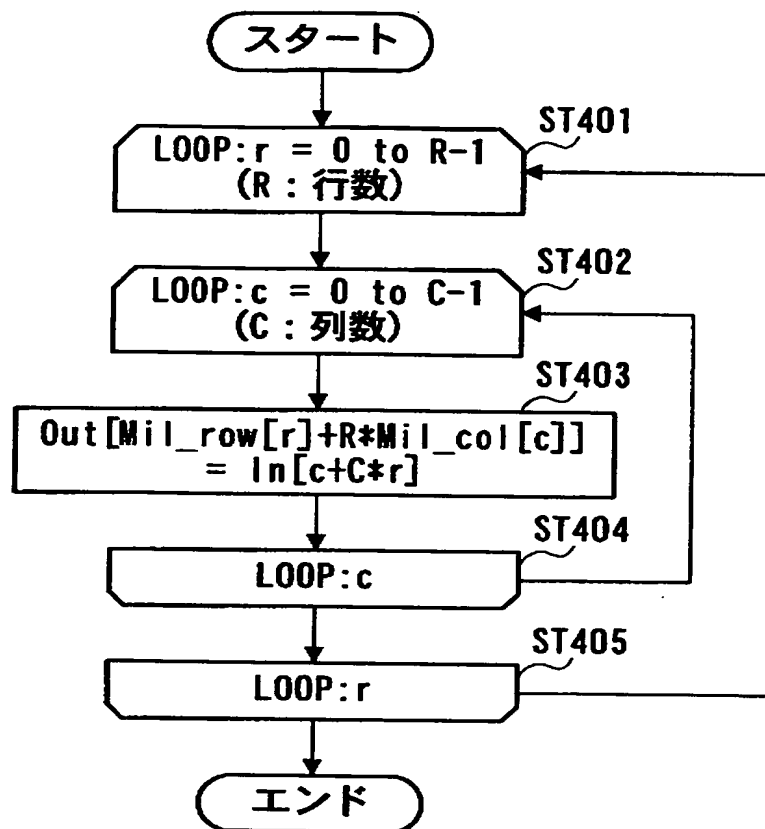
【図 2】



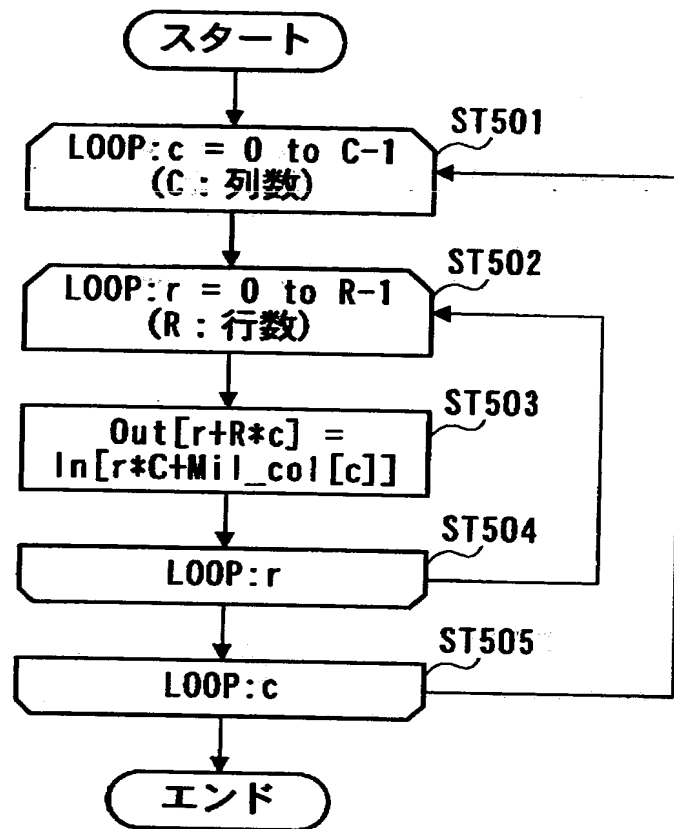
【図 3】

MIL パターン	MIL 実現法	文字量 (Word) ※ 入出力文字を除く	従来法を 100 と した時の比較
①	従来法	320	100.00
	提案法	36	11.25
②	従来法	81376	100.00
	提案法	5102	6.27

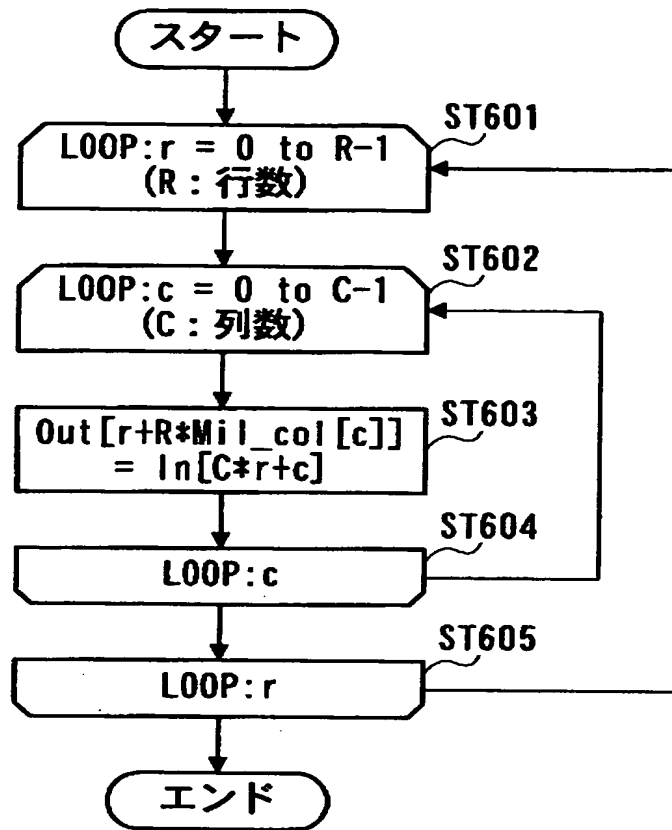
【図 4】



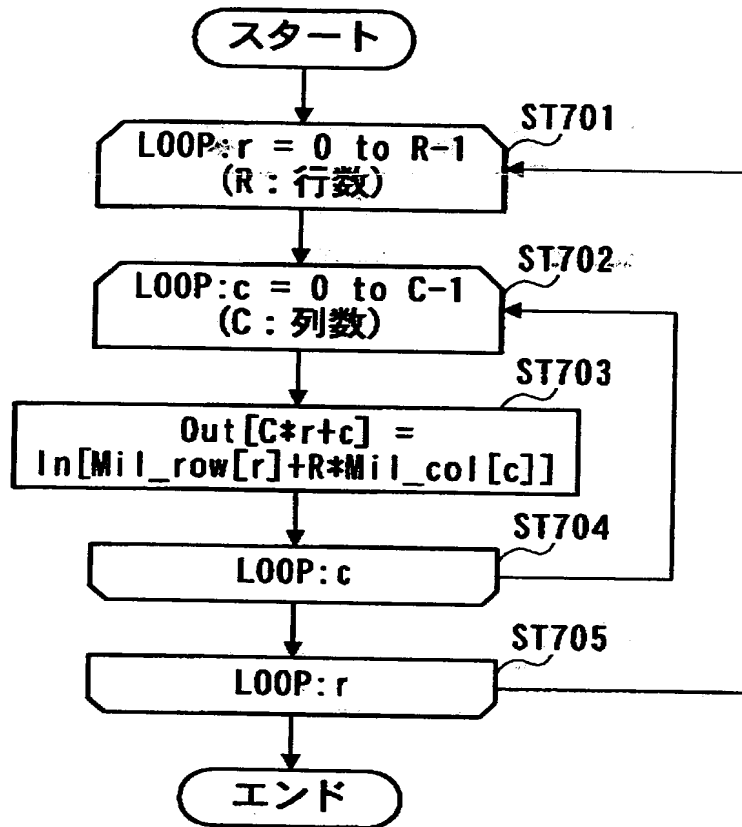
【図 5】



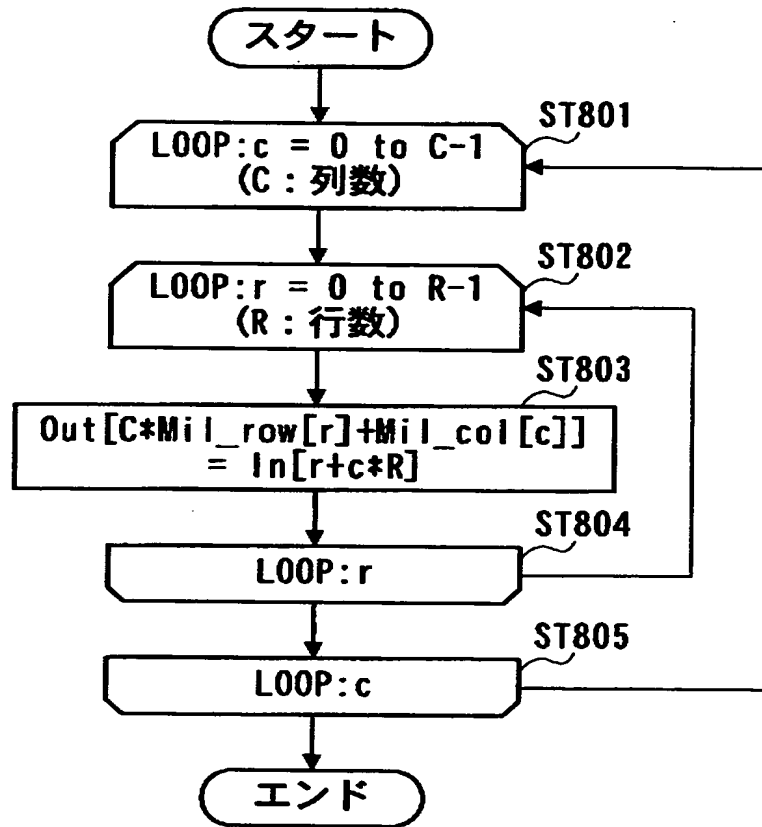
【図 6】



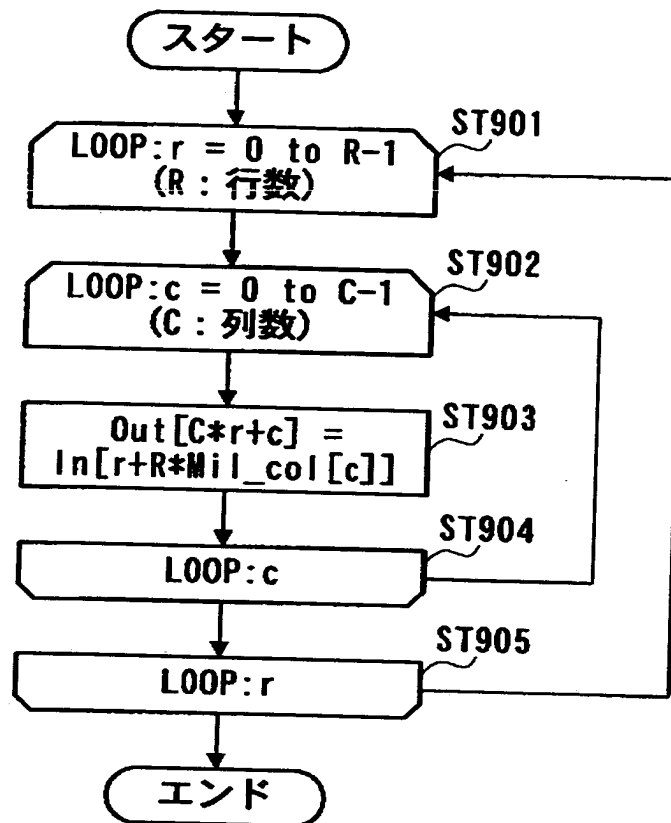
【図 7】



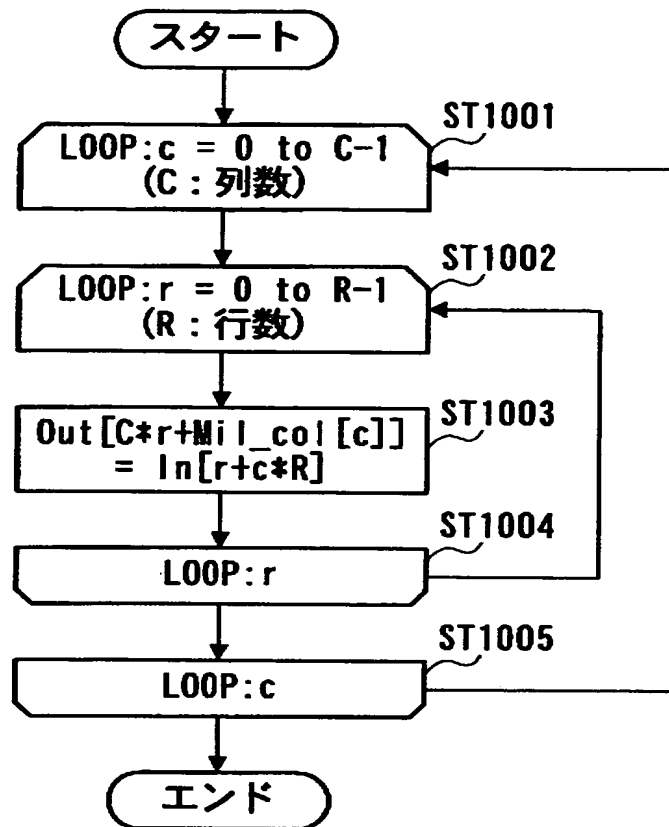
【図 8】



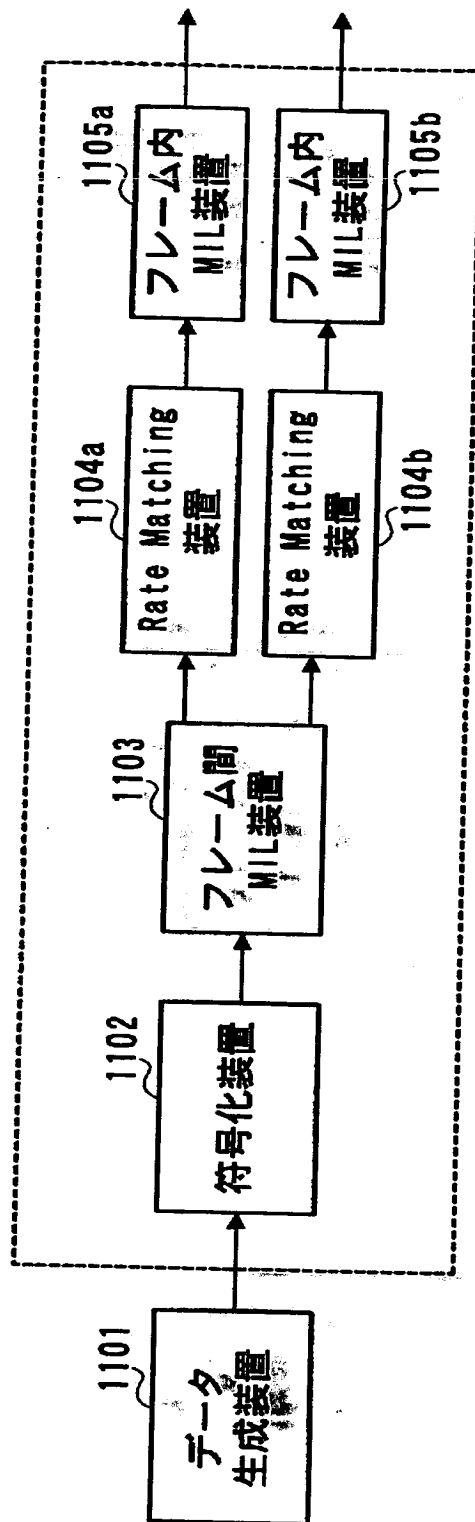
【図 9】



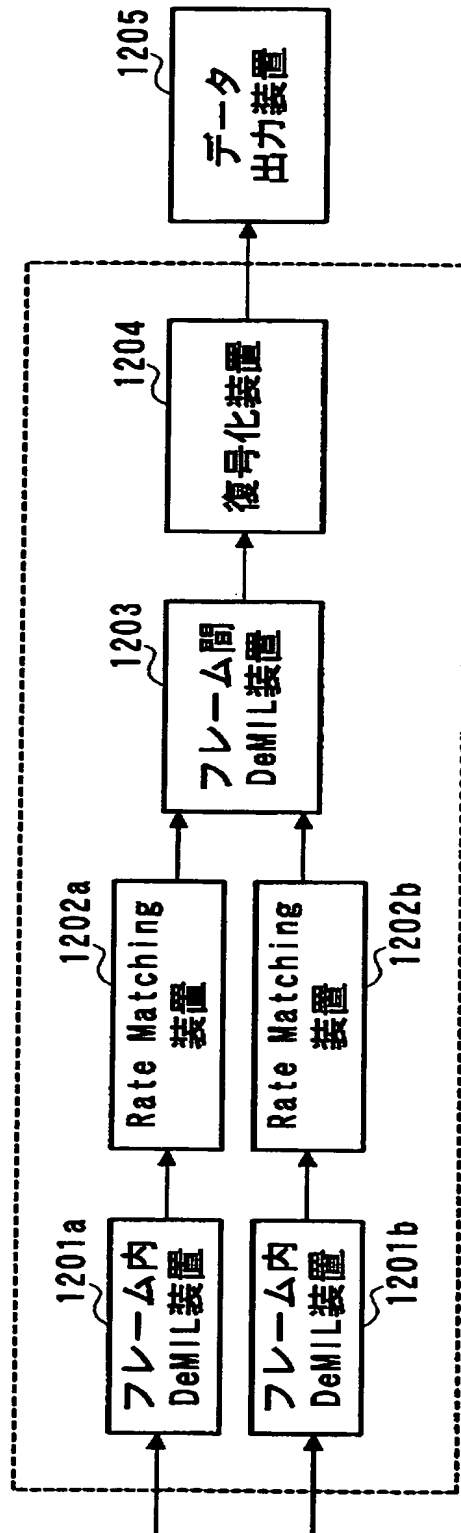
【図 1 0】



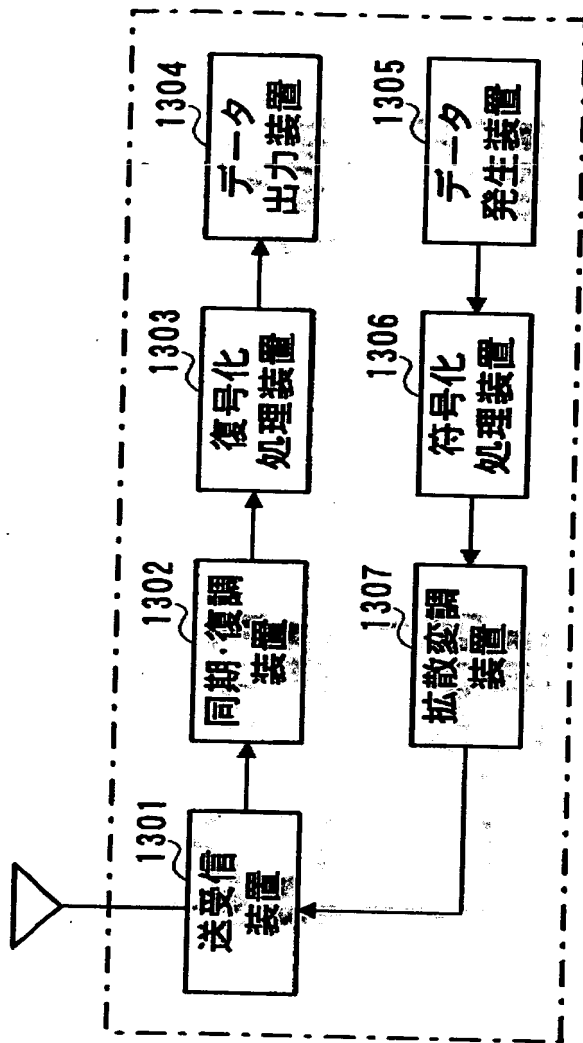
【図 1 1】



【図 1 2】

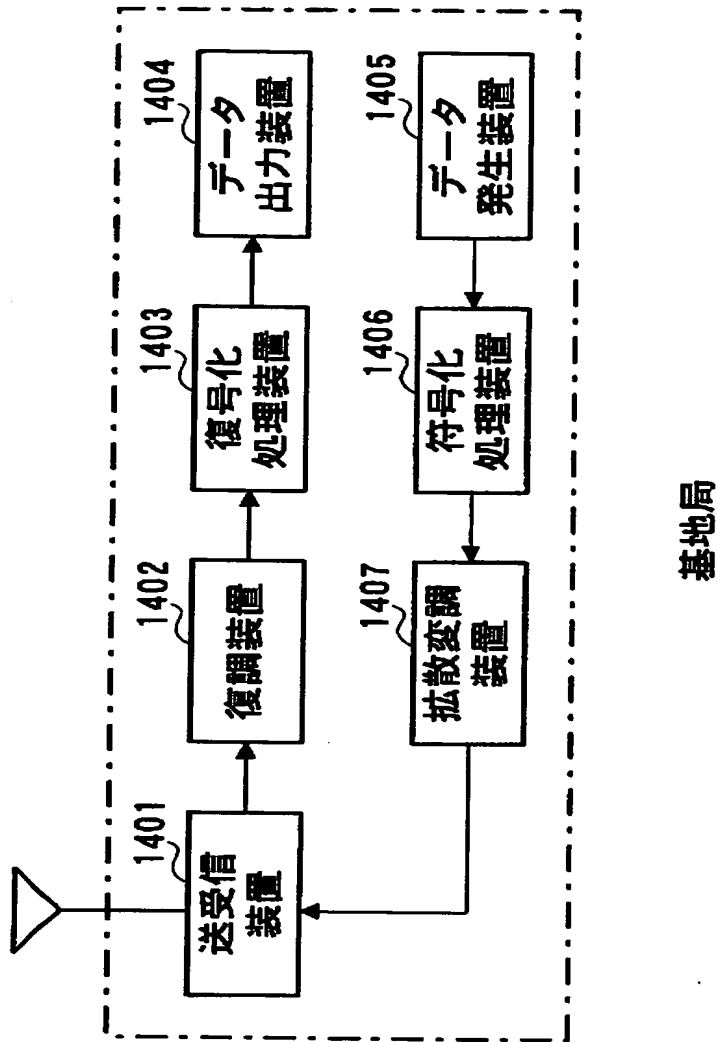


【図 13】

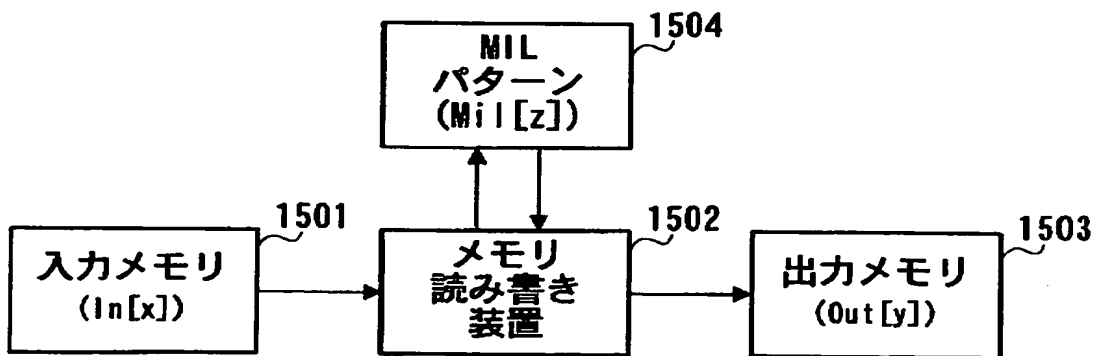


移動機

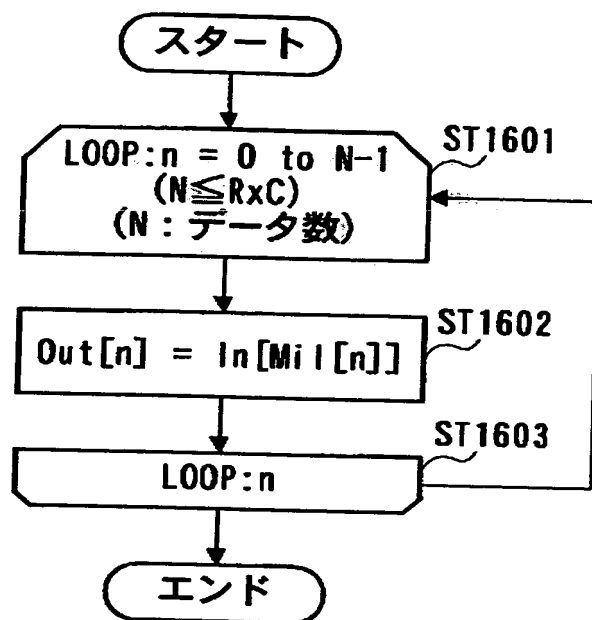
【図 1 4】



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 必要となるメモリ量を低減させるインタリーブ装置を提供すること。

【解決手段】 入力メモリ 1 0 1 は、入力データを記憶する。行パターンメモリ 1 0 2 は、行パターンを記憶する。列パターンメモリ 1 0 3 は、列パターンを記憶する。出力メモリ 1 0 4 は、入力データの順序が入れ替えられた出力データを記憶する。アドレス計算装置 1 0 5 は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ 1 0 1 から読み出した入力データを、出力データとして出力メモリ 1 0 4 に書き込む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社